

团 体 标 准

T/CESA XXXX—202X

汽车用集成电路 应力测试规范

Automotive integrated circuits – Stress test specification

征求意见稿

在提交反馈意见时，请将您知道的相关专利连同支持性文件一并附上。

已授权的专利证明材料为专利证书复印件或扉页，已公开但尚未授权的专利申请证明材料为专利公开通知书复印件或扉页，未公开的专利申请的证明材料为专利申请号和申请日期。

202X-XX- XX 发布

202X-XX- XX 实施

中国电子工业标准化技术协会 发布



版权保护文件

版权所有归属于该标准的发布机构，除非有其他规定，否则未经许可，此发行物及其章节不得以其他形式或任何手段进行复制、再版或使用，包括电子版，影印件，或发布在互联网及内部网络等。使用许可可于发布机构获取。

目 次

前言..... III

1 范围..... 1

2 规范性引用文件..... 1

3 术语和缩略语..... 1

4 要求..... 3

5 鉴定和重新鉴定..... 5

6 鉴定试验..... 6

附录 A（资料性附录） 系列产品的鉴定 18

附录 B（资料性附录） 产品相关信息 23

附录 C（资料性附录） 塑料封装开帽后的键合拉力试验..... 26

附录 D（资料性附录） 鉴定计划与通用数据的要求..... 27

附录 E（资料性附录） 需进行电磁兼容测试的必要条件..... 28

附录 F（资料性附录） 需进行软错误率测试的必要条件..... 29

附录 G（资料性附录） 应力测试和任务剖面 30

附录 H（资料性附录） 非易失性存储器耐久性、数据保持和工作寿命试验要求..... 36

附录 I（资料性附录） 电气分布测试要求 37

附录 J（资料性附录） 故障等级要求 38

附录 K（资料性附录） 特性描述要求 39

附录 L（资料性附录） 无铅试验要求 40

附录 M（资料性附录） 短路特性试验要求 41

附录 N（资料性附录） 参数分布测试指南 42

附录 O（资料性附录） 良率统计分析指南 44

附录 P（资料性附录） 铜线互联封装鉴定要求..... 45

前 言

本文件按照GB/T 1.1—2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

本文件由中国电子技术标准化研究院提出。

本文件由中国电子工业标准化技术协会归口。

本文件起草单位： 。

本文件主要起草人： 。

汽车用集成电路 应力测试规范

1 范围

本文件规定了汽车用集成电路加速环境应力试验、加速寿命模拟试验、封装完整性试验、晶圆可靠性试验、电气特性试验、缺陷筛选监测、气密性封装完整性试验要求，以及为保证汽车用集成电路满足预定用途所要求的质量和可靠性而必须的控制措施和限制条件。

本文件适用于汽车用集成电路可靠性试验和质量要求。

注：本文中“用户”是指使用那些通过鉴定器件的所有客户。

2 规范性引用文件

下列文件对于本文件的应用是必不可少的。凡是注日期的引用文件，仅所注日期的版本适用于本文件。凡是不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

下列文件对于本文件的应用是必不可少的。凡是注明日期的引用文件，仅所注日期的版本适用于本文件。凡是不注日期的引用文件，其最新版本（包括所有的更改单）适用于本文件。

GB/T 4937 半导体器件 机械和气候试验方法

GB/T 9178 集成电路术语

GB/T 14113 半导体集成电路封装术语

GB/T 35005 集成电路倒装焊试验方法

GJB 548 微电子器件试验方法和程序

GJB 7677 球栅阵列(BGA) 试验方法

SJ 21147.2 集成电路电磁发射测量方法 第2部分辐射发射测量—TEM小室和宽带TEM小室法

3 术语和缩略语

下列术语和缩略语适用于本文件。

3.1 术语和定义

3.1.1

鉴定 qualification

产品按规定的标准、程序和条件下所作的全部测试试验，来评估是否满足质量可靠性要求。

3.1.2

封装形式 package type

具有特定的外壳外形、结构、材料及组装工艺的封装类型。

3.1.3

供应商 supplier

集器件设计、制造和封装等环节于一身的厂商或只负责设计与销售的厂商。

3.1.4**静电放电敏感度分级 electrostatic discharge/ESD**

指一个器件易受静电损伤的程度。

3.1.5**任务剖面 mission profile**

任务剖面是器件在汽车某一应用的全生命周期，完成某个特定任务时，基于时间所经历的事件和环境。

3.1.6**过程能力指数 process capability index**

过程能力指数表示过程能力满足技术标准（例如规格、公差）的程度，一般记为 C_{PK} 。

3.1.7**晶粒 die**

晶粒是指从硅晶圆上切割而成，还未封装前具有独立功能的一小块集成电路本体。

3.2 缩略语

ADC (Analog-to-Digital Converter) 模数转换器

CMOS (Complementary Metal Oxide Semiconductor) 互补金属氧化物半导体

DRAM (Dynamic Random Access Memory) 动态随机存取存储器

FIT (Failure In Time) 时间故障率

NMOS (N-Metal-Oxide-Semiconductor) N型金属-氧化物-半导体

SRAM (Static Random-Access Memory) 静态随机存取存储器

UBM (Under Bump Metallurgy) 凸点下金属层

4 要求**4.1 总则**

汽车用集成电路通过本文件规定的应力测试能够指示在应用中能够提供一定水平的质量可靠性，用户也有责任核实所有的测试试验数据与本文件相一致。供应商应在产品规格说明书中尽量采用本文件所规定的工作温度等级。不同工作温度等级的集成电路应满足本文件所规定的各项应力测试的最低要求。为实现器件零缺陷的目标，汽车用集成电路产品工艺设计、产品设计、生产制造、和产品改进阶段，应该按零缺陷的策略。只有当通过本文件规定的全部测试试验项目后，供应商方可声明集成电路产品满足本文件规定的要求。供应商可以根据用户的要求，遵循本文件进行测试试验，可结合产线管控等系统级可靠性措施，向用户提供试验数据证明集成电路产品满足系统级可靠性要求。对于器件通过ESD HBM和ESD CDM，强烈推荐供应商将通过ESD电压级别在数据手册中标注，并将未通过的个别管脚列出，对于先

进CMOS工艺节点（28nm及以下）和射频器件，尤其是ESD HBM水平低于2kV和ESD CDM水平低于750/500V的情况应予以标注。

为确保能够有效激发和加速器件的失效，试验条件选择应充分考虑以下因素：

- a) 各类失效机理；
- b) 实际使用无法暴露，但在某些应力试验条件下可能会诱发的失效；
- c) 任何超出常规的应用或使用条件，会对加速失效造成不利影响。

4.2 工作温度等级

工作温度等级的规定如表1所示：

表1 工作温度等级

等级	工作环境温度范围
0	-40℃至+150℃
1	-40℃至+125℃
2	-40℃至+105℃
3	-40℃至+85℃

如果应力试验前后要求进行高低温终点测试，其温度应等于工作温度等级规定的温度范围的最高或最低值。

由于加电测试时器件结点存在加热效应，高温测试时的温度可能会高于工作温度等级的规定。例如加速寿命模拟试验(B组试验)，包括：高温工作寿命、寿命早期失效率和非易失性存储器的耐久性(NVM)、数据保持工作寿命，试验过程中的器件结点温度会等于或高于工作温度等级的最高温度上限。

4.3 文件适用优先顺序

当本文件中的要求与其他文件规定有冲突时，适用以下优先顺序：

- a) 用户采购订单（或者主要采购协议条款与条件）；
- b) 集成电路（IC）技术规范（经用研双方商定的）；
- c) 本文件；
- d) 本文件第6章中的引用文件；
- e) 供应商提供的数据手册。

供应商即使声明其产品符合本文件要求，也不能免除实际执行时应至少满足采购订单以及技术规范的有关规定。

4.4 用户指定的寿命要求（任务剖面）

如果用户要求的鉴定覆盖指定任务剖面，可以使用附录G中的流程图来确定鉴定策略，使用表2的标准测试计划或修改的测试计划。附录G的使用是基于知识的测试方法（KBTM），并且哪些元素应该被使用提供了指导。当供应商和用户充分沟通后，可以在某些项目上使用KBTM。

4.5 通用数据的采用

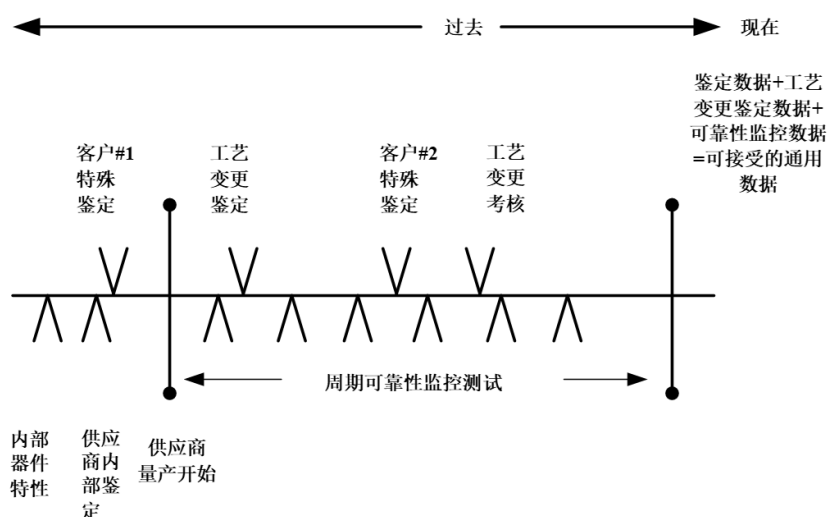
4.5.1 通用数据的定义

鼓励采用合适的通用数据供用户参考，以便简化鉴定过程。为慎重起见，应采用如附录A与表3中示例表格，清楚地说明每个集成电路参数与其制造过程的工艺要求。如果发现通用数据中包含任何失效，则该数据就不能作为通用数据，除非供应商已经证明和针对用户可接受的失效条件进行了纠正措施。

附录A定义了相似性的系列产品的鉴定要求。表3描述了技术状态变更时的重新鉴定要求，其中的矩阵图描述了与技术变更相关的新工艺制造过程及其对应的重新鉴定要求和鉴定项目，若裁剪需说明理由。

4.5.2 通用数据的有效期

通用数据的可接受性不存在时间上的限制。下图给出了可使用的可靠性数据的合适来源。此数据必须取自按照附录A定义的特殊器件或同系列鉴定的器件。潜在数据来源还可以包括任何用户特殊数据（注明用户名称）、工艺更改时鉴定或周期可靠性监控数据。



注：一些工艺变更（如制程缩减）将会影响通用数据的使用，以至于这些改变之前得到的数据就不能作为通用数据接受使用。

图1 通用数据来源的历程

4.6 被测样品

4.6.1 批次要求

被测样品应该由同系列中有代表性的器件构成，若缺少通用数据则需要选择多批次器件进行鉴定，表2中列出的被测样品必须是由非连续晶圆批次中近似均等的数量组成，并在非连续的装配批次中封装。即样品必须是均匀随机抽取的，或者装配加工线至少有一个非鉴定批次。若不能满足以上技术要求需说明。

4.6.2 生产要求

所有器件都应在制造厂量产生产线上加工生产，电测试可以在具备能力的其他场所进行。

4.6.3 被测样品的再利用

非破坏性试验后的样品可以用于其他试验，破坏性试验后的样品则仅可用于工程分析。

4.6.4 样品数量要求

用于鉴定的样品数量与（或）提交的通用数据必须与表2中指定的最小样品数量和接受数的要求一致。如果供应商选择提供通用数据来进行试验，除了应满足以上要求外，其他指定试验条件和试验结果必须记录并提供给用户（记录格式可见附录D）。如果通用数据不能满足以上要求，则应进行指定试验。

4.6.5 试验后测试要求

按表2中规定进行试验前后终点室温测试、高温和低温测试。

4.7 应力试验后的失效定义

测试结果不符合技术规范或供应商的数据手册的，判为失效，其严重程度按4.3中顺序判定。由于环境试验导致的任何外部物理损坏也要被判定为失效。如果失效原因被确认是由于环境试验、电气过应力试验或静电放电敏感度测试的操作错误所导致的，或由于一些其它与集成电路可靠性无关的原因导致的，则不判定为失效，但必须将该测试数据和试验情况一并上报。必要时，对失效器件进行失效分析。

5 鉴定和重新鉴定

5.1 新产品的鉴定

新产品的鉴定流程如图2所示，表2中给出了相关的应力试验条件。对于每个新产品的鉴定，供应商须提供包括鉴定产品的应力试验结果或可接受的足够通用数据。鉴定资格复审时则应由同系列的集成电路构成，以确保该系列中没有存在共性的失效机理。只有在通过了供应商论证和用户同意的情况下，才能采用通用数据替代鉴定。

对于每个新产品的鉴定，供应商必须提供附录B及以下资料：

- 产品相关信息（见附录B）；
- 应力试验数据（见表2和附录D）；
- 如用户要求，能提供用于鉴定的测试软件覆盖率水平评测数据。

5.2 产品更改后的重新鉴定

当供应商对器件或（和）工艺进行更改，以致影响（或潜在影响）器件的外形、安装、功能、质量和（或）可靠性时，该器件需要重新鉴定。

5.2.1 工艺更改通知

供应商对产品工艺进行更改时，应满足用户关于产品/工艺变更的要求。

5.2.2 需要重新鉴定的变更

产品上任何变更，都需要根据附录A、表2和表3来确定是否需要重新鉴定，以及重新鉴定的试验项目和计划。表3给出了重新鉴定时的试验项目选择指南或是否可采用通用数据来替代。

5.3 通过鉴定和重新鉴定的要求

重新鉴定出现不合格时，应分析其根本原因，只有当纠正和预防措施验证后，被证明对特定失效是有效的，并且完成8D解决法，产品通才能重新鉴定。供应商负责证明8D的有效性。

5.4 无铅工艺产品的鉴定

当无铅工艺的使用会导致特殊的质量和可靠性问题时，需要按照无铅要求增加相应的鉴定试验。无铅工艺使用的材料包括电镀层和电路板焊剂。为了达到可接受的焊接点质量和可靠性，这些新材料往往要求更高的电路板焊接温度，这将可能对塑封集成电路由于水汽产生的不利影响。因此，可能需要使用新的或具有更高强度的的集成电路封装材料。如果为了满足无铅工艺的强化要求，需要更改集成电路的

封装材料时，供应商需要参考本文件有关工艺变更的鉴定要求进行考核。在进行环境试验之前，应参考GB/T 4937.20中规定预先进行无铅回流温度分类。

5.5 对器件使用铜线互联的鉴定

器件使用铜线互联，参照附录P要求进行鉴定，并提供相应数据做支撑。

6 鉴定试验

6.1 通用试验

通用的鉴定试验流程如图2所示，鉴定试验项目及方法如表2和附录D所示。表2的备注栏中规定了鉴定适用的特殊集成电路类型，如陶瓷封装集成电路、非易失性存储器等。6.4部分给出了试验项目的重点要求。

任何用户要求的而未列入本文件的特别测试和试验项目及条件，由供应商与用户协商。

6.2 器件的特定试验

特定试验是对所有塑料封装和密封器件都必须进行的试验。通用的鉴定试验数据对于这些特定试验不适用。器件若已开展了特定试验的数据可以采用。

a) 静电放电敏感度的分级，适用所有集成电路；

b) 闩锁试验，适用所有集成电路；

c) 电气分布，适用所有集成电路；由供应商提供报告以证明在工作温度等级、电压和频率范围内，电参数能够满足其规格说明的参数范围。测试数据必须来自至少三个生产批次，或矩阵式（或斜式）生产批次，且必须保证有足够的样品进行有效的统计。

6.3 损耗可靠性试验

一般来说，一个产品按照本文件考核不足以说明一个使用新技术的汽车电子产品生产可以被发布。强烈推荐使用基于知识的考核方法作为产品考核的先决条件。

在损耗失效机理相关的新技术和新材料进行鉴定时，必须进行下列的失效机理相关试验。如用户要求，应能提供每种新器件的鉴定试验数据、试验方法、计算方法和内控标准：

a) 电迁移；

b) 栅介质层经时击穿，针对所有金属氧化物半导体技术；

c) 热载流子注入效应，针对1微米以下所有MOS技术；

d) 偏压温度不稳定性，对于所有CMOS低于1微米以下产品，NBTI和PBTI如适用；

e) 应力迁移。

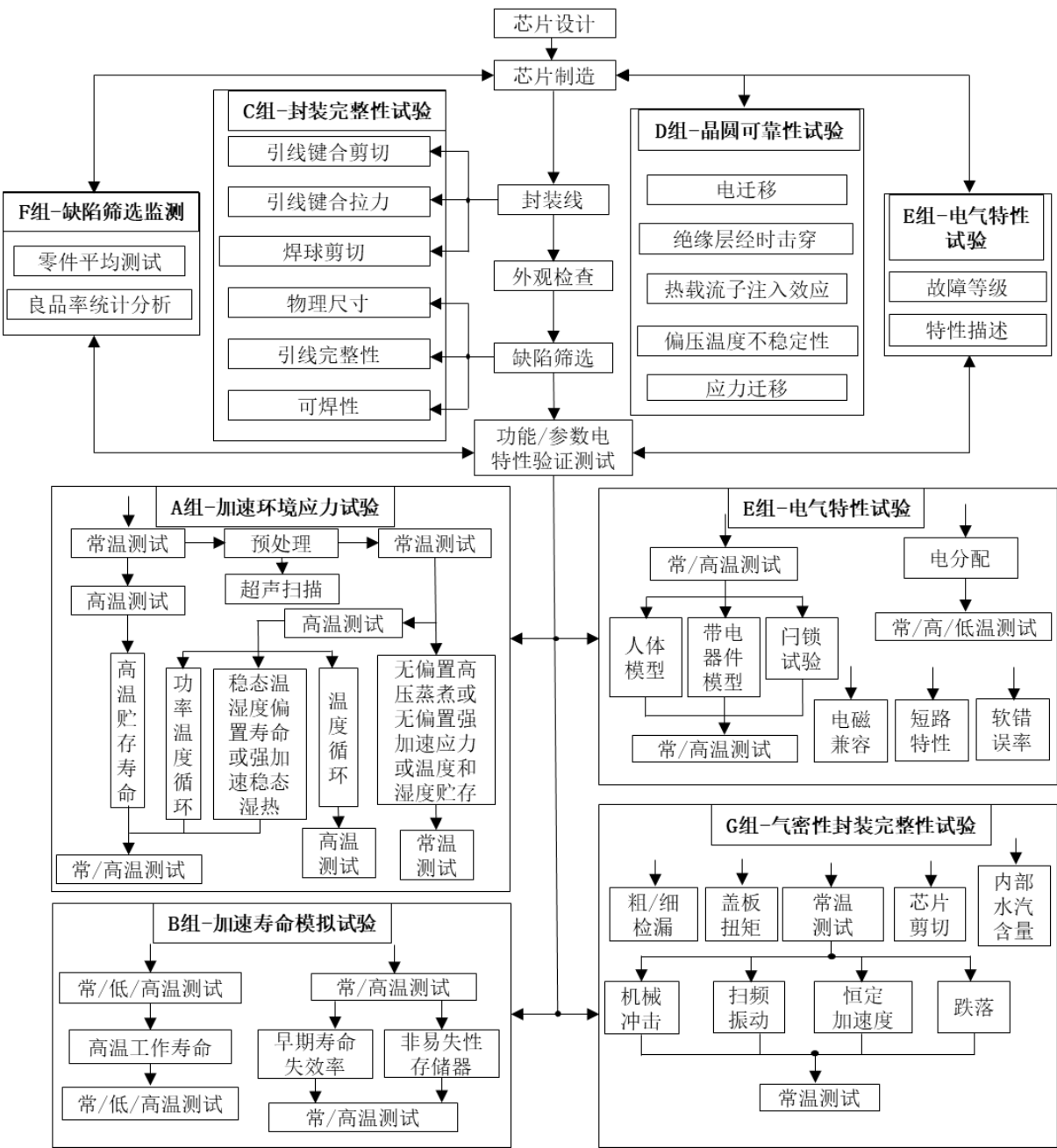


图2 鉴定试验流程

表2 鉴定试验

A 组—加速环境应力试验					
项目名称	简写	分组	单批抽样数 (允许失效数)	批数	备注
预处理	PC	A1	组别 A2、A3、A4 和 A5 样品		P, B, S, G, C, F
稳态温湿度偏置寿命或强加速稳态湿热试验	THB 或 HAST	A2	77 (0)	3	P, B, D, G, C, F
加速耐湿-无偏置高压蒸煮或加速耐湿-无偏置强加速应力试验或温度和湿度贮存试验	AC 或 UHST 或 TH	A3	77 (0)	3	P, B, D, G, F

温度循环	TC	A4	77（0）	3	H，P，B，D，G，C，F
功率温度循环	PTC	A5	45（0）	1	H，P，B，D，G，C，F
高温贮存寿命	HTSL	A6	45（0）	1	H，P，B，D，G，K，C，F
B 组—加速寿命模拟试验					
项目名称	简写	分组	单批抽样数 （允许失效数）	批数	备注
高温工作寿命	HTOL	B1	77（0）	3	H，P，B，D，G，K，F
早期寿命失效率	ELFR	B2	800（0）	3	H，P，B，N，G，F
非易失性存储器耐久性、数据保持和工作寿命	EDR	B3	参见附录 H		H，P，B，D，G，K，F
C 组—封装完整性试验					
项目名称	简写	分组	单批抽样数 （允许失效数）	批数	备注
内引线键合剪切	WBS	C1	最少 5 个器件的 30 个键合丝		H，P，B，D，G，C
内引线键合拉力	WBP	C2			H，P，B，D，G，C
可焊性	SD	C3	15（0）	1	H，P，B，D，G，F
物理尺寸	PD	C4	10（0）	3	H，P，B，G，F
焊球剪切	SBS	C5	10（0）个器件，每个器件至少 5 个焊球	3	B，D，G，F
引线完整性	LI	C6	5（0）个器件，每个器件至少 2 个引脚	1	H，P，D，G
凸点剪切	BS	C7	至少 5 个器件的 20 个凸点/铜柱	5	D，F
D 组—晶圆可靠性试验					
项目名称	简写	分组	单批抽样数 （允许失效数）	批数	备注
电迁移	EM	D1	—	—	—
绝缘层经时击穿	TDDB	D2	—	—	—
热载流子注入效应	HCI	D3	—	—	—
偏压温度不稳定性	NBTI	D4	—	—	—
应力迁移	SM	D5	—	—	—
E 组—电气特性试验					
项目名称	简写	分组	单批抽样数 （允许失效数）	批数	备注
参数/功能测试	TEST	E1	全部（0）	全部	H，P，B，N，G，F
静电放电-人体模型	HBM	E2	按产品要求（0）	1	H，P，B，D，F
静电放电-带电器件模型	CDM	E3	按产品要求（0）	1	H，P，B，D，F
门锁试验	LU	E4	6（0）	1	H，P，B，D，F
电气分布	ED	E5	30（0）	3	H，P，B，F
故障等级	FG	E6	—	—	—
特性描述	CHAR	E7	—	—	—
电磁兼容	EMC	E9	1（0）	1	—
短路特性	SER	E10	10（0）	3	D，G
软错误率	LF	E11	3（0）	1	H，P，D，G
无铅	FG	E12	参见附录 L		L
F 组—缺陷筛选监测					
项目名称	简写	分组	单批抽样数 （允许失效数）	批数	备注
参数分布测试	PAT	F1	—	—	—
良率统计分析	SBA	F2	—	—	—

G 组—气密性封装完整性试验					
项目名称	简写	分组	单批抽样数 (允许失效数)	批数	备注
机械冲击	MS	G1	15 (0)	1	H, D, G, W
扫频振动	VFV	G2	15 (0)	1	H, D, G, W
恒定加速度	CA	G3	15 (0)	1	H, D, G, W
粗/细检漏	GFL	G4	15 (0)	1	H, D, G
跌落	DROP	G5	5 (0)	1	H, D, G, W
盖板扭矩	LT	G6	5 (0)	1	H, D, G
芯片剪切	DS	G7	5 (0)	1	H, D, G, W
内部水汽含量	IWV	G8	5 (0)	1	H, D, G
注：B-针对焊球表面贴装集成电路，C-对于使用铜线互联的器件测试条件和样品数量应按照铜线互联鉴定要求，D-破坏性试验，试验后集成电路不能重新用于鉴定和生产，F-对于球栅阵列倒装焊（基于基板的）封装器件有要求，G-认可的通用数据，H-针对密封集成电路，K-使用附录方法来对独立非易失性存储器集成电路或带有非易失性存储器单元的集成电路进行预处理，L-针对无铅器件，N-非破坏性试验，试验后集成电路可以用于其它鉴定试验或者生产中，P-针对塑封集成电路，S-针对表面贴装塑封集成电路，W-对于使用键合工艺，且没有对键合线有注塑覆盖的封装。。 # 特殊试验的参考数据。鉴定试验前后的所有电测试应在温度等级限定范围内进行。					

表3 工艺变更鉴定的试验项目选择要求

鉴定项目	A2	A3	A4	A5	A6	B1	B2	B3	C1	C2	C3	C4	C5	C6	C7	D1	D2
		设计															
有源元件设计			●	M		●	●	DJ								D	D
电路设计变更			A	M													
晶圆尺寸/厚度			E	M		●	●		E	E							
		晶圆制造															
光刻	●		●	M		●	G		●	●							
芯片缩小化	●	●		M		●	●	DJ								●	●
离子注入/掺杂				M		●	G										
多晶硅			●	M		●		DJ									
金属化/通孔/接触	●	●	●	M		●			●	●						●	
钝化/氧化物/夹层电介质	K	K	●	M		●	GN	DJ	K	●							●
背面工艺			●	M		●											
制造场所转移	●	●	●	M		●	●	J	●	●						●	●
		晶圆凸点															
再分布层	●	●	●	M	●										●		
凸点下金属	●	●	●	M	●										●		
凸点材料	●	●	●	M	●										●		
凸点地点转移	●	●	●	M	●										●		
		封装															
芯片模套/底部填充胶	●	●	●	M	●	●											
引线框电镀	●	●	●	M	●					C	●			●			
凹凸材质/金属化系统	●	●	●	M	●	●					●	●					
引线框材料		●	●	M	●					●	●	●		●			
引线框尺寸		●	●	M							●	●		●			
键合丝		●	●	Q	●				●	●							
芯片划片/分离	●	●	●	M													
芯片清洁准备	●	●		M		●			●	●							
封装打码		●									B						
固晶	●	●	●	M		●											
塑封料	●	●	●	M	●	●	●				●	●		●			
塑封工艺	●	●	●	M	●	●					●	●		●			
气密封装		H	H		H							H		H			
新式封装	●	●	●	M	●	●	●		●	●	●	●	T	●			
基板/中介层	●	●	●	M	●	●			●	●			T				
封装场所转移	●	●	●	M		●	●		●	●	●	●	T	●			

表 3（续）

鉴定项目	D3	D4	D5	E2	E3	E4	E5	E7		E9	E10	E11	E12	G1-4	G5	G6	G7	G8
	设计																	
有源元件设计	D	D	D	●	●	●	●	●		●	●	●			F			
电路设计变更				●	●	●	●	●		●	●							
晶圆尺寸/厚度		●		E	E	E	●											
	晶圆制造																	
光刻		●																
芯片缩小化	●	●	●	●	●	●	●	●		●	●	●						
离子注入/掺杂		●		●	●	●	●	●										
多晶硅		●		●	●	●	●	●										
金属化/通孔/接触			●				●	●			●							
钝化/氧化物/夹层电介质	●	●	●	●	●	●	●	●										
背面工艺						●		●						H			H	
制造场所转移	●	●	●	●	●	●	●							H			H	
	晶圆凸点																	
再分布层																		
凸点下金属																		
凸点材料																		
凸点地点转移																		
	封装																	
芯片模套/底部填充胶												●						H
引线框电镀													L				H	
凹凸材质/金属化系统												●	L					
引线框材料											●		L	H			H	
引线框尺寸											●		L	H				
键合丝							M				●			H				
芯片划片/分离																		
芯片清洁准备																	H	
封装打码																		
固晶											●		L	H			H	H
塑封料												●	L					
塑封工艺													L					
气密封装														H		H		H
新式封装				●	●		●				●		L	H			H	H
基板/中介层													L	H			H	H
封装场所转移							●						L	H			H	H
注：一个字母或“●”表明对于适当的工艺变更，其测试试验方面的性能应受到考虑。A：仅适用于外围布线更改；B：打标返工、新的处理时间或温度；C：如果引线键合到引脚；D：设计规则改变；E：仅适用于厚度改变；F：仅适用于MEMS的单元改变；G：仅适用于来自非100%老化的器件；H：仅适用于陶瓷材料；J：EPROM或E2PROM；K：仅适用于钝化；L：仅适用于无铅器件；M：需要进行功率温度循环的器件；N：钝化或栅氧；Q：引线直径变小；T：仅适用于表面贴装焊球。																		

6.4 试验方法

6.4.1 预处理

试验方法采用GB/T 4937.20和GB/T 4937.30。

预处理仅适用于表面贴装器件。预处理在A2、A3、A4和A5项之前进行，最低可接受的潮湿敏感度等级为MSL3。对于部分使用先进封装，潮湿敏感度无法达到MSL3的汽车用集成电路产品，应在产品数据手册中予以说明，提前征得用户同意。当实施预处理和（或）潮湿敏感度等级时，潮湿敏感度等级和回流焊峰值温度必须提供报告。预处理试验后，3个批次，每个批次取3只，通过超声扫描检查是否有分层，芯片结合面积有超过50%分层或键合线表面的分层必须在报告中体现。如果预处理后的样品均能通过后续的应力试验，芯片表面的分层是允许的。任何样品的替换应在报告中体现。试验前后的电测试在室温下进行。

6.4.2 稳态温湿度偏置寿命试验或强加速稳态湿热试验

试验方法采用GB/T 4937.4或GB/T 4937.5。

对于表面贴装器件，应在本试验前进行A1项预处理。稳态温湿度偏置寿命试验条件为85℃/85%RH，试验时间1000小时。强加速稳态湿热试验试验条件为130℃/85%RH，试验时间96小时；或110℃/85%RH，试验时间264小时。THB和HAST，共三个试验条件中选择一个试验条件完成试验。试验前后电测试按室温、高温顺序进行，中间读点测试只能进行室温测试。

6.4.3 加速耐湿-无偏置高压蒸煮或加速耐湿-无偏置强加速应力试验或温度和湿度贮存试验

试验方法采用GB/T 4937.24或GB/T 4937.33或GB/T 4937.42。

对于表面贴装器件，应在本试验前进行A1项预处理，对于高温和压力敏感的封装（如BGA）推荐选用温度和湿度贮存试验，温度和湿度贮存试验条件为85℃/85%RH，试验时间1000小时。其中加速耐湿-无偏置高压蒸煮试验要求121℃，2个大气压，100%RH，试验时间96小时。加速耐湿-无偏置强加速应力试验条件为130℃/85%RH，试验时间96小时；或110℃/85%RH，试验时间264小时。更推荐速耐湿-无偏置强加速应力试验，而不推荐加速耐湿-无偏置高压蒸煮试验。AC和UHST和TH，共四个试验条件中选择一个试验条件完成试验。以上试验前后的电测试在室温下进行。

6.4.4 温度循环

试验方法采用GB/T 4937.25。

对于表面贴装器件，应在本试验前进行A1项预处理。温度循环可选取以下条件：

等级0：T_a在-55℃～150℃区间，1500次循环，或等效循环试验；

等级1：T_a在-55℃～150℃区间，1000次循环，或等效循环试验（如：对于未知剩余使用寿命的，可设置试验条件为T_a在-65℃～150℃区间，500次循环）；

等级2：T_a在-55℃～125℃区间，1000次循环，或等效循环试验；

等级3：T_a在-55℃～125℃区间，500次循环，或等效循环试验。

试验后在一个批次里任选5个器件，在其四角键合处（每角2个键合）和每边一个中间键合处进行引线键合拉力测试。器件首选的开帽方法参见附录C。温度循环试验后，3个批次，每个批次取3只，通过超声扫描检查芯片结合或键合线表面是否有分层，如用户要求，能够提供分层情况。试验前后的电测试在高温下进行。

6.4.5 功率温度循环

试验方法采用GB/T 4937.34。

表面贴装器件在本试验前进行A1项预处理，适用于在应用中，功耗反复变化大于等于1瓦，或在小于0.1秒内 ΔT_j 大于等于40℃的器件（例如，智能功率开关用来驱动感性负载）。

功率温度循环可选择以下条件：

等级0： T_a 在-40℃～150℃区间，1000次循环；

等级1： T_a 在-40℃～125℃区间，1000次循环；

等级2和3： T_a 在-40℃～105℃区间，1000次循环。

试验中不能发生热关断现象，试验前后的电测试在室温和高温下进行。

6.4.6 高温贮存寿命

试验方法采用GB/T 4937.6。

对于塑封和BGA倒装焊器件选择以下条件：

等级0： $T_a=175^\circ\text{C}$ ，1000小时，或 $T_a=150^\circ\text{C}$ ，2000小时；

等级1： $T_a=150^\circ\text{C}$ ，1000小时，或 $T_a=175^\circ\text{C}$ ，500小时；

等级2-3： $T_a=125^\circ\text{C}$ ，1000小时，或 $T_a=150^\circ\text{C}$ ，500小时。

对于陶瓷封装器件选择以下条件：

$T_a=250^\circ\text{C}$ ，10小时，或 $T_a=200^\circ\text{C}$ ，72小时。

试验前后的电测试在室温和高温下进行。如果封装和等级要求相同，B3非易失性存储器耐久性、数据保持和工作寿命试验数据可以替代本试验数据。

6.4.7 高温工作寿命

试验方法采用GB/T 4937.23。

对于非易失性存储的器件，必须在试验前进行预处理。高温工作寿命可选择以下条件：

等级0： $T_a=150^\circ\text{C}$ ，1000小时；

等级1： $T_a=125^\circ\text{C}$ ，1000小时；

等级2： $T_a=105^\circ\text{C}$ ，1000小时；

等级3： $T_a=85^\circ\text{C}$ ，1000小时；

以上环境温度 T_a 下的试验时间是最低要求，结点温度 T_j 应当可测试或计算获得，可以用结点温度 T_j 替代 T_a ，在高温工作寿命试验条件下器件的结点温度 T_j 等于或高于最大结点工作温度（ T_{jOPMAX} ）且低于绝对最大 T_j ，试验中不能发生热关断现象；VCC（max）是在保证交流和直流参数正常情况下的最大值，试验中不能发生热关断现象。如适用，试验后对关键性能和可靠性相关的电参数的漂移进行分析，来确定一定的保护间距以满足数据手册的指标，参数漂移分析的指导可参考E5项电气分布试验。

试验前后的电测试按室温、低温和高温顺序进行。

6.4.8 早期寿命失效率

试验方法采用GB/T 4937.23。

早期寿命失效率可选择以下条件：

等级0： $T_a=150^\circ\text{C}$ ，48小时；

等级1： $T_a=125^\circ\text{C}$ ，48小时；

等级2： $T_a=105^\circ\text{C}$ ，48小时；

等级3： $T_a=85^\circ\text{C}$ ，48小时；

经历本试验的器件以用于其它试验。本项目可采用通用数据。对于使用先进工艺的高复杂度SoC汽车用集成电路，早期寿命失效率试验过程中发生失效，应完成8D分析报告，主动提供给用户审核，支持用户增加部件级老化措施。试验前后测试在室温和高温下进行。

6.4.9 非易失性存储器耐久性、数据保持和工作寿命

试验方法参见附录H 非易失性存储器耐久性、数据保持和工作寿命试验要求。

试验前后的电测试在室温和高温下进行。

6.4.10 内引线键合剪切

试验方法采用GB/T 4937.22。

每个引线键合剪切测试之间需有适当的时间间隔，统计所有内引线键合剪切数据，要求 $C_{PK} > 1.67$ 。

6.4.11 内引线键合拉力

试验方法采用GJB 548 方法2011。

使用温度循环后的样品进行此试验，对于金丝直径 $\geq 25 \mu m$ ，温度循环试验后最小拉力要求为3克；当金丝直径 $< 25 \mu m$ ，参考GJB 548方法2011中图2011-1规定的最小拉力。金丝直径 $< 25 \mu m$ ，键合拉力应在球键合处而不在键合丝中间。如使用未经温度循环后的样品进行试验，统计引线键合拉力数据，要求 $C_{PK} > 1.67$ 。

6.4.12 可焊性

试验方法采用GB/T 4937.21。

如供应商对样品完成老炼后供货，可焊性试验的样品应是经历过老炼的。可焊性试验前进行8小时蒸汽老化预处理，用户可以要求使用干燥烘烤来代替蒸汽老化。预处理完成后执行可焊性试验，试验后要求外部引脚焊料覆盖率大于95%。

6.4.13 物理尺寸

试验方法采用GJB 548 方法2016和GJB 7677 第三部分 焊球共面性。

关键尺寸和公差符合相关标准和数据手册对物理尺寸的说明。分别统计所有关键物理尺寸数据，要求 $C_{PK} > 1.67$ 。

6.4.14 焊球剪切

试验方法采用GJB 7677 第五部分 焊球剪切。

试验前进行热预处理（220℃的回流焊循环共2次），试验中对于无铅器件的热预处理参见GB/T 4937.20。统计焊球剪切数据，要求 $C_{PK} > 1.67$ 。

6.4.15 引线完整性

试验方法采用GB/T 4937.14。

本项目仅针对针脚通孔集成电路，表面贴装集成电路不适用。要求无引脚破损或开裂。

6.4.16 凸点剪切

试验方法采用GB/T 35005 第4.2部分 凸点剪切力测试。

统计凸点剪切数据，要求 $CPK > 1.67$ 。

6.4.17 电迁移

对于新技术的使用，如果用户有要求，能够提供数据、试验方法、计算和内控标准。

6.4.18 绝缘层经时击穿

对于新技术的使用，如果用户有要求，能够提供数据、试验方法、计算和内控标准。

6.4.19 热载流子注入效应

对于新技术的使用，如果用户有要求，能够提供数据、试验方法、计算和内控标准。

6.4.20 负偏压温度不稳定性

对于新技术的使用，如果用户有要求，能够提供数据、试验方法、计算和内控标准。

6.4.21 应力迁移

对于新技术的使用，如果用户有要求，能够提供数据、试验方法、计算和内控标准。

6.4.22 参数/功能测试

测试要求依据数据手册或技术规范规定，测试按照表2和图2所示的要求进行。测试软件程序应满足E6项故障等级的要求。所有试验前后的电测试要在规定的温度范围内进行。

6.4.23 静电放电-人体模型

试验方法采用GB/T 4937.26。

应根据最大耐电压等级对集成电路进行分类，并在鉴定报告中体现。若人体模型耐压 $<2\text{KV}$ ，需要用户特别批准，并且在数据手册中体现。对于工艺节点 $\leq 28\text{nm}$ 或射频器件（管脚），人体模型耐压可以放宽到 1KV 。试验前后的电测试在室温和高温下进行。

6.4.24 静电放电-带电器件模型

试验方法采用GB/T 4937.28。

应根据最大耐电压级别将集成电路进行分类，并在鉴定报告中体现。使用带电器件模型，若具有边角引脚耐压 $<750\text{V}$ 或（和）其它引脚耐压 $<500\text{V}$ ，需要用户特别批准，并且在数据手册中体现。对于工艺节点 $\leq 28\text{nm}$ 或射频器件（管脚），带电器件模型耐压可以放宽到 250V 。试验前后的测试在室温和高温下进行。

6.4.25 闩锁试验

试验方法采用GB/T 4937.29。

在工作环境最高温度下进行闩锁试验，试验前后电测试在室温和高温下进行。

6.4.26 电气分布

试验方法参见附录I 电气分布测试要求和附录K特性描述要求。

由供应商和用户商议决定电测试需要包含哪些参数。电测试在室温、高温和低温下进行。如适用，要求测试参数 $C_{PK} > 1.67$ 。

6.4.27 故障等级

除非另有规定，试验方法参见附录J 故障等级要求。

6.4.28 特性描述

试验方法参见附录K 特性描述要求。

仅针对采用新技术和新系列器件。

6.4.29 电磁兼容

试验方法采用SJ 21147.2。参见附录E的指导原则确定待鉴定集成电路对本项试验的适用性。
具体实施和接收判据由用户和供应商协商。

6.4.30 短路特性

试验方法参见附录M 短路特性试验要求。
本项目适用于所有智能功率器件。具体实施和接收判据由用户和供应商协商。

6.4.31 软错误率

试验方法采用：GB/T 4937.38。
适用于具有大于1Mbit存储量的静态或动态随机存储器基本单元的集成电路，集成电路中含有非易失性存储单元，也可按照此项目执行。根据器件类别规格，选择两种测试方法之一进行（无加速的或加速的）。电测试要求和接受标准由用户和供应商协商。最终的试验报告应包括详细的试验场地位置和海拔高度数据。

6.4.32 无铅

试验方法参见附录L 无铅试验要求。
适用于所有的无铅器件，注意相关可焊性、耐焊接热和晶须推荐要求。

6.4.33 参数分布测试

方法参见附录N 参数分布测试指南。
供应商依据测试方法确定样品数量和合格标准，应根据指南进行适当调整以满足要求。

6.4.34 良率统计分析

方法参见附录O 良率统计分析指南。
供应商依据测试方法确定样品数量和合格标准，应根据指南进行适当调整以满足要求。

6.4.35 机械冲击

试验方法采用GB/T 4937.10。
半正弦波，加速度峰值1500g，Y1方向，冲击5次，脉冲时间0.5ms。试验前后的电测试在室温下进行。

6.4.36 扫频振动

试验方法采用GB/T 4937.12。
振动频率为20Hz~2000Hz~20Hz（对数变化），峰值加速度50g，每次扫频时间不少于4分钟，每个方向扫频4次。试验前后的电测试在室温下进行。

6.4.37 恒定加速度

试验方法采用GJB 548 方法2001。
大于40引脚的器件离心加速度为20000g，小于40引脚的器件离心加速度为30000g，试验方向Y1方向，试验时间1min。试验前后的电测试在室温下进行。

6.4.38 粗/细检漏

试验方法采用GJB 548 方法1014。
先细检漏后进行粗检漏。

6.4.39 跌落

本试验仅适用于具有微机电系统内腔结构的器件，从1.2m的高度跌落到混凝土表面上，六个方向每个方向各1次。试验前后的电测试在室温下进行。

6.4.40 盖板扭矩

试验方法采用GJB 548 方法2024。
仅适用于玻璃熔封器件。

6.4.41 芯片剪切

试验方法采用GJB 548 方法2019。
在器件盖装/密封前进行本试验。

6.4.42 内部水汽含量

试验方法采用GJB 548 方法1018。

附录 A

（资料性附录）

系列产品的鉴定

A.1 概述

本文件为供应商与用户提供指南，以帮助采用通用数据来加快鉴定过程。适用时，供应商与用户如何在采用通用数据方面，可以采用本指南来达成双方共识。

对于纳入系列产品鉴定的集成电路，必须满足具有相同的主要产品功能、生产工艺过程与材料的要求。针对特定产品的鉴定，将依照以下所述类别加以界定，但不限于以下所述类别。其中A.2界定了关键产品功能详细要求，A.3与A.4界定了关键工艺过程与材料，若不完全匹配则需要通过合理性技术判定，确保覆盖应用中最劣条件下该系列产品的通用数据。

当系列中有一个产品成功地满足了除第4.2章节的集成电路特定要求之外的鉴定要求时，同系列产品鉴定中的其他所有产品可通过相关性进行鉴定。

对于多种属性（如：场地、材料、工艺过程等）差异较大的集成电路，参照本附录A.6，允许选用最劣试验方案来覆盖所有可能的排列组合情况。

A.2 产品

- 1) 产品功能性（如：功放，调节器，微处理器，逻辑）；
- 2) 工作电压范围；
- 3) 规定的工作温度范围；
- 4) 规定的工作频率范围；
- 5) 制造相关的设计图库单元；

包括：存储器知识产权（如：单元结构，设计框架），满足数据手册电压以及更优的温度范围、功耗情况下的数字设计图库单元（如：电路图、输入输出模块、静电放电单元）和/或模拟设计图库单元（如：有源电路单元、无源电路单元），速度/图库单元性能；

- 6) 存储器类型与尺寸；
- 7) 焊盘下有源电路的设计准则；
- 8) 供应商定义的其他功能特性。

对于规定在不同电源电压（如：5.0V、3.3V）下工作的集成电路来说，应当提供至少两种工作电源电压情况下的系列产品鉴定数据。

对于在不同温度范围工作的集成电路来说，需要提供系列产品在数据手册规定的温度下的表2中E1组的3个批次的鉴定试验数据，需要提供系列产品在数据手册规定的工作频率下的表2中A组、B组、E组、G组规定温度下的E1组的3个批次的鉴定试验数据，表2中A组、B组、E组、G组规定温度下的试验类型必须等于或优于鉴定电路的要求。对于存储器类型的系列产品鉴定，必须确保最大存储容量的器件开展了鉴定并且三个批次均鉴定合格，当需要鉴定具有比已经鉴定合格的器件更大的存储容量时，供应商必须针对这一更大容量存储器配置的集成电路，开展至少一个批次的鉴定试验。

A.3 制造工艺

不同的工艺技术（如CMOS、NMOS、双极等）必须分别鉴定。无论工艺如何近似，每种基础制造工艺的技术流程都不能用于另一种基础制造工艺。对于BiCMOS 集成电路来说，必须针对具体的集成电路进行具体分析，以便获取相应工艺的数据。

当工艺或材料发生变化（详见表A.1和A.2指南）时，应针对“最劣应用”开展适当的试验，以此对系列产品进行重新鉴定。制造工艺的重要属性如下：

- a) 晶圆制造技术（如CMOS、NMOS、双极等）
- b) 晶圆制造工艺，如：
 - 电路元件特征尺寸（如布板设计规则、芯片缩小比例、触点、栅极、绝缘性）
 - 基板（如定位、掺杂、外延、晶圆尺寸）
 - 掩膜数（无此要求时，供应商须提供合理理由）
 - 光刻工艺（如紧密接触或突出，电子束或X光，光阻极性）
 - 掺杂工艺（如扩散或离子注入）
 - 栅极结构、材料和工艺（如多晶硅、金属、硅铝、湿或干蚀刻）
 - 多晶硅材料，厚度范围、层级数
 - 氧化工艺与厚度范围（如：栅或场氧化）
 - 内部层级介电材料或厚度范围
 - 金属化材料、厚度范围、层级数
 - 钝化工艺（如：钝化氧化开孔）、材料、厚度范围
 - 芯片背部准备工艺、金属化
- c) 晶圆制造场地。

A.4 封装工艺-塑封或陶封或BGA倒装焊

塑封与陶封工艺过程必须分别进行鉴定。对于纳入系列产品鉴定的集成电路，必须具有相同的主要产品功能、制造工艺过程与材料。当工艺或材料发生变更时，要求采用适当的试验进行系列产品的重新鉴定。当管脚（球）数、芯片尺寸、衬底尺寸/材料/厚度、托架尺寸以及芯片比例等方面的通用数据与需要鉴定的集成电路不同时，供应商必须向用户提交支撑文件和技术数据，说明可以采用通用数据的技术合理性。可以进行系列鉴定应满足以下的重要属性：

- a) 封装类型（如：DIP、SOIC、PLCC、QFP、PGA、PBGA，FC-BGA）
 - 在同一封装类型中的最劣应用场景（如：由于热扩散系数的不匹配导致的封装弯曲）；
 - 满足芯片尺寸/各面比例，且经鉴定合格的托架（旗形）的尺寸范围（最大&最小尺寸）。基板基础材料（如：PBGA，FC-BGA）
 - 无封装器件（如：裸芯片，WL-CSP 不在本部分范围）
- c) 封装工艺-具有以下相同属性
 - 引线框架基础材料；
 - 引线框架电镀工艺和材料（封装内部、外部）；
 - 芯片引线头/热垫材料；
 - 芯片粘接材料；
 - 引线键合材料和直径；
 - 引线键合方法，向下键合的方式和工艺；
 - 塑料模型复合材料，有机衬底材料，或陶瓷封装材料；
 - 焊球金属化系统（如果适用）；

- 热沉类型、材料和尺寸；
- 填充材料
- 再分布层、凸点下金属化（UBM）和凸点材料
- 对有盖板的倒装 BGA 的热结合材料
- 塑料模型复合材料供应商/ID 编号；
- 芯片准备/隔离。

d) 封装场地。

A.5 鉴定和重新鉴定的批次要求

表A.1 鉴定和重新鉴定的批次要求

集成电路信息	鉴定的批次要求
新型集成电路和没有适用的通用数据	按表2规定的批次和样品数量
某系列产品的集成电路采用三批次通用数据进行鉴定，需鉴定的电路不复杂，且符合附录A中鉴定产品系列的定义。	仅进行6.2中规定的指定试验，批次和样品要求按表2中规定
某系列产品的集成电路采用三批次通用数据进行鉴定，鉴定的电路较复杂，拥有相似的产品功能，能符合附录A中鉴定产品系列的定义。例如：批次把ADC性能从12bit增加到14bit，或者封装引脚从16增加到20。	根据表3、表2中规定选择测试试验项目，批次和样品尺寸应符合表2中要求。
集成电路加工工艺变更。	根据表3、表2中规定选择测试试验项目，批次和样品尺寸应符合表2中要求。
环境试验达到所有测试的温度极值，但是终点电测试的温度范围低于温度等级要求。	至少三批次的鉴定试验的终点电测试必须达到或超过该电路温度等级要求的温度极值。
多个场地的鉴定和重新鉴定	按照附录A中A.6要求。
多个系列的鉴定和重新鉴定	按照附录A中A.6要求。

A.6 多个地点或多个系列的鉴定

表A.2 给出了通用数据的应用案例：

表中通用数据所列的案例注明了部分场景，列出了不同产品和场地的经鉴定合格的通用数据。每个案例中的通用数据的选择方式决定了集成电路An鉴定时允许使用的通用数据。

表A.2的使用指南：

产品An是拟鉴定的产品，属于产品系列A。产品A1是产品系列的代表品种，具有更加复杂的属性（如：60V调节器或45V调节器，8通道或4通道放大器），技术覆盖面最大，即使不能覆盖全部品种，也能够覆盖绝大多数该系列的其他产品。

同一制造厂采用同样的工艺过程与材料。不同制造厂拥有一个或多个不同的工艺要素。同一封装厂采用同样的工艺、材料与封装类型。不同封装厂拥有一个或多个不同的工艺、材料或封装要素。新试验是指按第6.1章节规定的鉴定试验。

制造工艺C1与C是相同的，仅存在一个或多个不同的要素。（如：A1换成了Cu金属）。封装工艺E1与E是相同的，仅存在一个或多个不同的要素。（如：A1换成了Cu键合线，模型复合材料）。产品B与产

品A在功能上不同。（如：逻辑或模拟，电压调节器或放大器）。此外，随着产品复杂度的增加会降低下表中部分要求的适用性。

表A.2 通用数据应用案例（新电路/产品的鉴定）

案例	说明	产品	晶圆场地	封装场地	最小鉴定的批次数据	产品/工艺 (在附录 A 中进行了定义)
新电路/产品	是一款未鉴定的电路或产品	An	C	E	3	在以下案例之外，AnCE 至少需要进行 1 批次 ESD 和 LU, 3 批次 ED AC(E) 和 1 批次 HTOL 试验。
先前的鉴定场景（现有的通用数据）						
案例	说明	产品	晶圆场地	封装场地	有效的通用数据批次	通用数据的使用选项
1	B 来自不同的产品系列	B	C	E	3	● 3 批次 AnCE（新试验）
2A	B 来自不同的产品系列	B	C	F	3	● 3 批次 AnCE（新试验）
2B			D	E	3	● 3 批次 An CE（新试验）
3	不同的晶圆工艺和不同的场地，如 A1； 不同的装配和不同的场地，如 A1	A1	D	F	3	● 3 批次 AnCE（新试验）
4A	晶圆工艺中的一部分或多部分不同于基本工艺 C； 相同的封装工艺和场地，如 A1。	A1	C1	E	3	● 3 批次 AnCE（新试验）或 ● 2 批次 AnCE（新试验）+2 批次 A1C1E（通用）或 ● 1 批次 AnCE（新试验）+3 批次 A1C1E（通用）。
4B	相同的晶圆工艺和相同场地，如 A1； 封装工艺的一部分或多部分不同于基本工艺 E。		C	E1	3	● 3 批次 AnCE（新试验）或 ● 2 批次 A1CE1（新试验）+2 批次 A1CE1（通用）或 ● 1 批次 A1CE（新试验）+3 批次 A1CE1（通用）。
5A	相同的晶圆工艺和场地，如 An； 相同的封装工艺但是不同的场地，如 An。	A1	C	F	3	● 3 批次 AnCE（新试验）或 ● 2 批次 AnCE(新试验)+2 批次 A1CF（通用的）或 ● 1 批次 AnCE(新试验)+3 批次 A1CF（通用的）
5B	相同的晶圆工艺，但是不同的场地，如 An； 相同的封装工艺和场地，如 An。	A1	D	E	3	● 3 批次 AnCE（新试验）或 ● 2 批次 AnCE(新试验)+2 批次 A1DE（通用的）或 ● 1 批次 AnCE(新试验)+3 批次 A1DE（通用的）
6	相同的晶圆工艺和场地，如 An； 相同的封装工艺和场地，如 An。	A1	C	E	3	● 3 批次 A1CE（通用的）

A.6.1 多个地点

当拟鉴定或重新鉴定的特定产品或工艺属性会涉及一个以上晶圆制造地点或封装地点时，要求每一个受涉及的地点应最少进行一个批次的鉴定试验。

A.6.2 多个系列

当拟鉴定或重新鉴定的特定产品或工艺属性会涉及一个以上晶圆制造系列或封装系列时，应按以下要求进行鉴定试验：

- a. 从对变更最敏感的每个系列的一个集成电路类型中选取一个批次进行鉴定试验；

b. 如果仅有一个或两个系列存在，则从最敏感的系列中总共选取三个批次进行鉴定试验（按可接受的通用数据与鉴定试验数据进行任意组合）。

以下是在多个工艺与产品系列发生变更时推荐的鉴定过程：

a. 识别工艺变更对所有产品的影响；

b. 识别工艺变更潜在的对关键结构与界面的影响；

c. 针对关键结构与界面（详见表A.3中的案例），识别并列出的潜在的失效机理与相关的失效模式。其中步骤（a）至（c）与创建FMEA基本相同。

d. 基于相似性原理，根据其与其拟评价的结构与集成电路敏感性的相互关系，界定产品的分组或系列。提供技术合理性说明，以及分组准则。

e. 提供鉴定试验方案，包括变更的描述，试验矩阵，代表产品，并强调每一个潜在的失效机理与相关失效模式。

f. 必须验证每一个场地（地点）受影响的每一工艺步骤的工艺能力的鲁棒性。（如：每一工艺步骤的控制，工艺中涉及的每一设备的每一部分的能力，所有受影响场地的每一步工艺的等效性）

表 A. 3 对钝化变更的失效模式和失效机理清单示例

关键结构或接口	潜在失效模式	关联失效模式	适用集成电路
芯片与塑封料	钝化层破裂	功能失效	所有芯片
	多层钝化分层	金线键合失效	大芯片
钝化层与金属层	应力引起的空洞	功能失效	最窄金属布线的芯片
	离子污染	泄漏，参数漂移	所有芯片
多晶硅与有源电阻	压电泄漏	参数漂移	模拟电路

附 录 B
(资料性附录)
产品相关信息

对于符合本文件的集成电路需按下表格式和内容填写，要求信息完整，不适用条款填写“不适用”。

表 B. 1 产品相关信息

项目	供应商反馈信息
1. 用户的集成电路编号	
2. 供应商	
3. 设备描述	
4. 芯片/圆片生产厂方地址和生产工序ID a. 设备名称/编号 b. 街道地址 c. 地区:	
5. 圆片测试地址 a. 设备名称/编号 b. 街道地址 c. 地区:	
6. 封装地址和生产工序ID a. 设备名称/编号 b. 街道地址 c. 地区:	
7. 最终质量控制A（测试）地址 a. 设备名称/编号 b. 街道地址 c. 地区	
8. 圆片/芯片 a. 圆片尺寸 b. 芯片系列 c. 芯片光罩改版和名称 d. 芯片图片	
9. 圆片/芯片技术类型 a. 圆片/芯片工序技术 b. 芯片通道长度 c. 芯片闸极长度 d. 芯片供应生产工序ID（掩模号） e. 晶体管或闸极的数量 f. 掩模步骤编号	
10. 芯片尺寸 a. 芯片宽度 b. 芯片长度 c. 芯片厚度（完成的）	
11. 芯片镀金属 a. 芯片镀金属材料	

b. 层次数量 c. 厚度（每层） d. 合金含量%（如果有）	
12. 芯片钝化 a. 钝化层数量 b. 钝化层材料 c. 厚度和偏差 12a. 晶圆凸点 a. UBM 叠层和厚度 b. UBM 尺寸 c. 凸点尺寸 d. 凸点材料	
13. 芯片外层材料（如：聚酰亚胺）	
14. 芯片剖面图	
15. 芯片背面层 a. 芯片准备方式 b. 芯片镀金属 c. 厚度&偏差	
16. 芯片剪切方法 a. 切口宽度(m): b. 切口深度(不是100%切割): c. 切割方法	
17. 装片 a. 装片材料 b. 装片方法 c. 芯片摆放图	
18. 封装 a. 封装外形（如：塑料，陶瓷，倒装，未封装） b. 键合引线脚数 c. 标准定义（如MS029、MS034） d. 无铅（< 0.1% 同质材料）： e. 封装外形图	
19. 塑封料信息 a. 塑封料供应商 b. 塑封料种类 c. 易燃性级别 d. 阻燃剂种类/成分 e. Tg（玻璃化转变温度）(C): f. 热膨胀系数(大于 & 小于 Tg) (ppm/ C):	阻燃等级 V1____ 阻燃等级V0____ 热膨胀系数1 (> Tg) = __, 热膨胀系数2 (< Tg) = __
20. 键合 a. 键合材料 b. 键合丝直径(mm): c. 芯片键合种类 d. 引线框键合种类 e. 键合图	

21. 引线框： a. 浆/标志材料 b. 标志宽度(mm)： c. 标志长度(mm)： d. 标志电镀成分 e. 标志电镀厚度(mm)： f. 引线材料 g. 引线键合电镀成分 h. 引线键合电镀层厚度(mm)： i. 外部铅电镀构成 j. 外部铅电镀厚度(mm)：	
22. 基板： a. 基板材质（如：FR5， BT） b. 基板厚度（mm）： c. 基板金属层数量： d. 可焊性球表面电镀成分 e. 板切割方法 f. 焊球成分 g. 焊球直径(mils)：	
23. 未封产品 a. UBM成分 b. UBM金属的密度/厚度 c. 凸点成分 d. 凸点尺寸	
24. 关键原材料（适合的）	
25. 热阻 a. J_A C/W（近似值）： b. J_C C/W（近似值）： c. 特殊的散热结构技术	
26. 被测样品的寿命和环境试验期间施加的电应力、偏压等级和操作条件	
27. 良品率(%)	_____ %
28. 最大过程曝光条件 a. 潮湿敏感度等级 @ 额定锡铅温度 b. 潮湿敏感度等级@ 额定无铅温度 c. 最大保压时间和最大过程温度	注意：测定塑封包装顶端表面的中心温度 _____ at _____ C（锡铅） _____ at _____ C（无铅）
附件：	要求：
芯片图 封装外形图 芯片剖面图 键合位图 芯片安置图 可靠性试验用集成电路，加偏压条件参数	1. 每个独立设计、制造和鉴定必须覆盖每一个P/N、晶圆段和组装地址。 2. 设计、制造和鉴定应该通过可靠的个体验证信息的精确和完整性，供应商标记，种类名称和符号。
执行人：_____ 日期：_____	批准人：_____ 日期：_____

附 录 C

(资料性附录)

塑料封装开帽后的键合拉力试验

C.1 目的

本附录的目的是确定塑封集成电路开帽的方法，以获得可靠的键合丝拉力或焊点键合剪切的结果。本方法适用于温度循环试验后的塑封集成电路开帽，以便进行之后的键合丝拉力测试或焊点键合剪切测试。

C.2 材料和设备

C.2.1 蚀刻剂

有多种化学去胶机或酸性溶液可以用于去除封装，在选择上取决于个人经验和所要去除的塑料化合物的材料特性。例如，红烟硝酸被证明可以很好的用于酚醛型环氧树脂材料的去除，但是对于其他焊底材料则损伤很小。

C.2.2 等离子去胶机

有多种适合的等离子去胶机可用于去除塑封材料。

C.3 程序

使用一个适当的端铣刀型工具或牙科电钻，在塑料封装的顶部制造一个略大于芯片尺寸的小型痕迹。痕迹的深度尽量贴近芯片而又不破坏键合丝的弯曲部分。

使用一个适当的化学蚀刻剂或等离子蚀刻剂，去除焊片表面的塑料材料，暴露焊盘、键合丝的弯曲部分、以及至少75%的键合丝长度。在含铅结构中不应暴露键合丝（这些焊点通常包含镀银区域，并且很多化学蚀刻剂能够快速分解这些焊点使得无法进行键合丝拉力测试）。

使用适当的放大镜，观察芯片上的焊盘区域以确定去除封装的过程是否破坏了焊盘表面的金属镀层。如果焊盘表面出现缺少金属镀层的情况，则说明该焊点被分解且无法用于焊点键合剪切测试和键合拉力测试。没有被破坏的焊盘可以用于引线键合测试。

附 录 D
(资料性附录)
鉴定计划与通用数据的要求

鉴定计划的编制和通用数据的提供参见以下信息。

D.1 计划

- a. 集成电路识别：用户P/N和供货商P/N；
- b. 场地或者开展寿命试验的场地；
- c. 开展试验项目的清单以及试验条件，包括特定的温度、湿度和偏压；
- d. 样品尺寸和要求的批次号；
- e. 终点测试的时间间隔（例如，0小时，500小时，1000小时）；
- f. 所有试验和终点测试的开始日期和完成日期；
- g. 供货商名称和合同；
- h. 提交日期；
- i. 材料、功能和电路的试验结果都可以用作考核的通用数据，包括基本的通用数据。

D.2 结果

- a. 被测集成电路的日期代码和批次代码；
- b. 工艺识别；
- c. 晶圆和装配地点；
- d. 掩模数量或设计；
- e. 每次试验的失效数和被测集成电路数量；
- f. 所有失效的失效分析报告、带有结论的纠正措施报告。

附录 E

（资料性附录）

需进行电磁兼容测试的必要条件

E.1 依据以下标准判断一个集成电路是否需要电磁兼容测试

数字工艺、大规模集成电路、含有震荡器的产品或者任何潜在的具有释放电磁辐射并干扰通信接收器的集成电路需要进行EMC测试。例如，微处理器、高速数字集成电路、集成电荷泵场效应管、带有看门狗的集成电路、开关型调整器控制和驱动集成电路。

所有新型的、重新鉴定的、或是经过版本更新后的现存集成电路均是潜在的具有释放电磁辐射并干扰通信接收器的集成电路。

E.2 影响辐射发射的因素举例

- 时钟驱动（内部或外部）、I/O 驱动；
- 制造工艺或合成材料，这些会降低升/降时间；
- 更小的特征尺寸；
- 封装或引脚配置；
- 引线框架材料。

附录 F (资料性附录)

需进行软错误率测试的必要条件

F.1 依据以下标准判断一个集成电路是否需要软错误率测试

集成电路的应用环境存在大量辐射暴露，例如航空应用或在更高海拔上的扩展服务寿命。

当集成电路具有大量静态或动态随机存储器单元 ($\geq 1\text{Mbit}$) 时就需要进行软错误率测试。例如：130nm工艺集成电路的软错误率通常接近1000FIT/MBIT，因此当一个集成电路有1000SRAM单元时，其软错误率贡献约为1FIT。集成电路中含有非易失性存储单元，评估可能对软错误敏感，也可进行软错误率测试。

F.2 影响软错误率结果的因素举例

- 工艺尺寸减小；
- 封装模具的材料；
- 凸模材料进行封装连接，倒装芯片的封装；
- 减缓因素，例如执行错误修正编码（ECC）和软错误探测技术（SED）。

F.3 新型软错误率测试可能要求的情况

基本SRAM/DRAM晶体管单元结构的变化(如有效沟道长度、阱深、掺杂浓度、隔离方法等)。

附录 G

（资料性附录）

应力测试和任务剖面

G.1 范围

完成表2中的测试要求才允许声称器件通过了汽车用集成电路应力测试。为了满足更加严格的应用环境条件，供应商和用户需要对需要增加的测试达成一致，使用基于应用的任务剖面用来做可靠性评估。任务剖面是器件在应用寿命中暴露环境和提供一定的功能负载集合。

G.1.1 目的

这个附录提供的方法可以用到评估某个器件对某个给定的应用是否合适，任务剖面是描述独特的要求。应用这个方法的好处是，最终元器件和真正应用的可靠性差距被展示出来。

- 章节G.2展示了汽车用集成电路应力条件/持续时间和使用寿命和负载条件的典型应用之间的关系。
- 章节G.3描述了受流程图支持的方法，可以被用在任务剖面描述前期中的可靠能力评估环节。

G.2 基本考虑

G.2.1 使用寿命和任务剖面

在这所画的使用寿命是个例子来进行展示用途，许多典型的任务剖面和下边所展示的相比会有一个或多个特性上的不同。

- 服务寿命的年数
- 引擎运行的小时数
- 引擎没运行（空闲）的小时数
- 关机的小时数
- 引擎开关的循环数
- 服务英里数

在使用条件下，任务剖面通过增加一些信息例如热、电、机械和其他形式的负载来影响寿命特性，针对新能源智能汽车，任务剖面与传统燃油汽车有所不同，需考虑汽车充电、停车电池监测、车载网络连接、机舱温度和振动等区别，应按照实际应用需求确定热、电、机械和其他形式的应力。他们与表2中的测试条件有关的例子在表G.1中可以看到。

G.2.2 与汽车用集成电路应力测试条件和时长的关系

在表G.1中，为每个主要应力测试的基本计算展示了，基于对负载合理的假设，怎么得来一个对寿命特性合适的测试条件。超过6.4部分要求，使用过高的测试要求应该特别注意，因为他们可能会引入不现实的失效机理和加速。请注意，表G.1的任务剖面仅作参考，不应作为固定条件来使用。强烈推荐供应商与用户商议，确保任务剖面的使用能够满足具体应用。

G.3 评估任务剖面的方法

与现有的应用情况非常不同时，这个部分展示了怎样实行更加详细的可靠性能力评估方法：

- 应用要求了负载情况
- 应用要求延长服务寿命
- 在寿命中，应用要求更加严格的失效几率

这些考虑可能导致增加测试持续时间。另外，用新科技方法生产或/与包含新材料的器件还没有被鉴定。在这种情况下，未知的失效机制可能伴随不同时间-失效发生，要求不同的测试方法或/和条件或/和持续时间。

对于这种情况，两个可用的流程图促进用户和器件供应商对器件的可靠性能力评估：

- 图G. 1中的流程图1描述了一个新的器件是否能够到通过汽车用集成电路应力测试要求。
- 图G. 2中的流程图2描述了一个某种器件是否能够满足一个新的电控单的任务剖面。和依据汽车用集成电路应力测试要求，是否是一个已经鉴定过的器件用在一个新的应用里面。

下面的图表得出的结论如下：

[A]汽车用集成电路应力测试条件的使用

流程的这个部分首先提供了通过任务剖面来评估的输入，一个合适的任务剖面是制定有意义的试验计划和开展可靠性评估最为关键的因素。对于使用的技术有相应数据，使用该数据，采用基本的计算流程，详见图G. 1的A部分。如果是成熟技术，失效机理会明确、失效模型能够良好标定且成熟，流程图显示供应商可以通过基本的计算。标准的应力测试条件可以被使用，通过结果来证明。

当不能使用基础计算，详见图G. 1的B部分，示例如下：

- 引入新材料或技术（如：硅改为碳化硅，金线改为铜线，二氧化硅改为高K介电材料）
- 有特定失效机理的新应用场景（如：适合的温湿度下长时间工作）

[B]任务剖面指定的测试条件可以使用

图G. 1的B部分有两个切入点：

- 首先，技术或材料对供应商是未知，且/或可能引入未知特性的失效机理，或当前加速模型没有被验证。那么采用基本计算将考虑无效。
- 其次，基础计算表明标准应力测试条件被认为对任务剖面而言应力不足。

以上两种情况，需要通过任务剖面定制试验计划。通过任务剖面、相关失效机理和加速模型考虑在内去定制应力测试条件。

[C]用户和器件供应商可以对鲁棒性验证进行详细勾对

目前的流程还通过参考产品级的任务剖面去考核，这样可能会有局限性，不对产品完成全项考核可能的包括但不限于以下原因：

- 对同样的产品，高加速和低加速失效机理。应力测试条件覆盖低加速机理，相对于高加速机理可能导致损耗，导致可能无法证明产品级针对两个失效机理的寿命要求
- 对同样的产品，高加速和低加速失效机理。应力测试条件覆盖低加速机理，相对于高加速机理可能导致损耗，导致可能无法证明产品级针对两个失效机理的寿命要求
- 由于超长的任务剖面时长对应的超长的试验时长
- 产品级的失效机理观察不足

这种情况，使用先进可靠性方法，利用推荐的测试车辆生成的通用数据。一般来说，技术开发过程中通过数据收集，可以用于可靠性预测。鲁棒性验证流程提供了如何生成并使用这些数据的指导

此外，寿命终结时的失效率在流程图没有，但是是非常重要的数据。关于失效率，下面的几点需要考虑：

- 示例：231个器件全没失效（3批，每批77个）的情况，是通过主要环境应力测试。这代表LTPD=1，意味着最大1%失效（90%置信度）
- 样本大小要足够来鉴定固有设计，结构和材料问题对性能的影响

•这个样本大小不足够或者为了工艺控制或PPM评估。生产变化失效（小概率事件）可以通过在附录N和附录O描述的合适的工艺控制和筛选来达到

- 对于某些工艺变化，三个批次的使用是最小保证。应该安一个监控工艺来保证工艺变化是可控的
- 样本大小受制于器件和测试设备的花费，测试持续时间和一次测试的数量限制

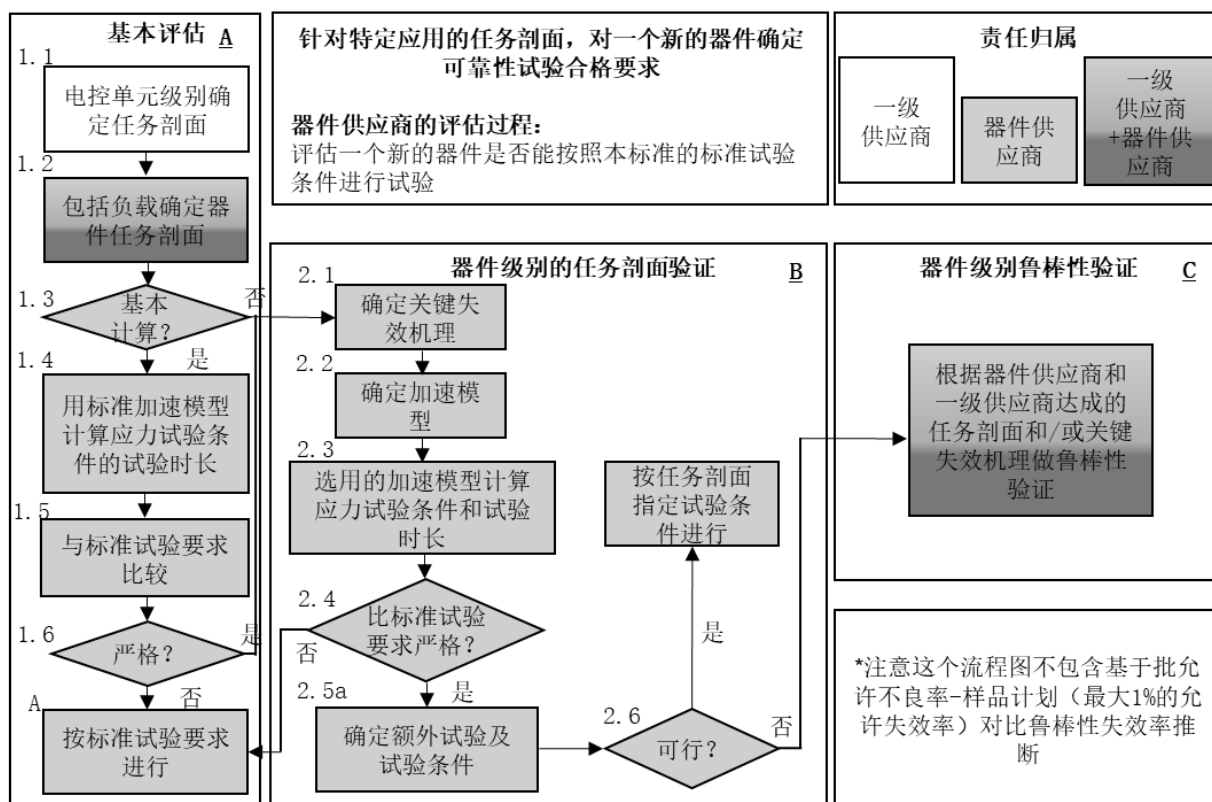


图 G. 1 流程图 1 - 新器件的可靠性试验合格要求

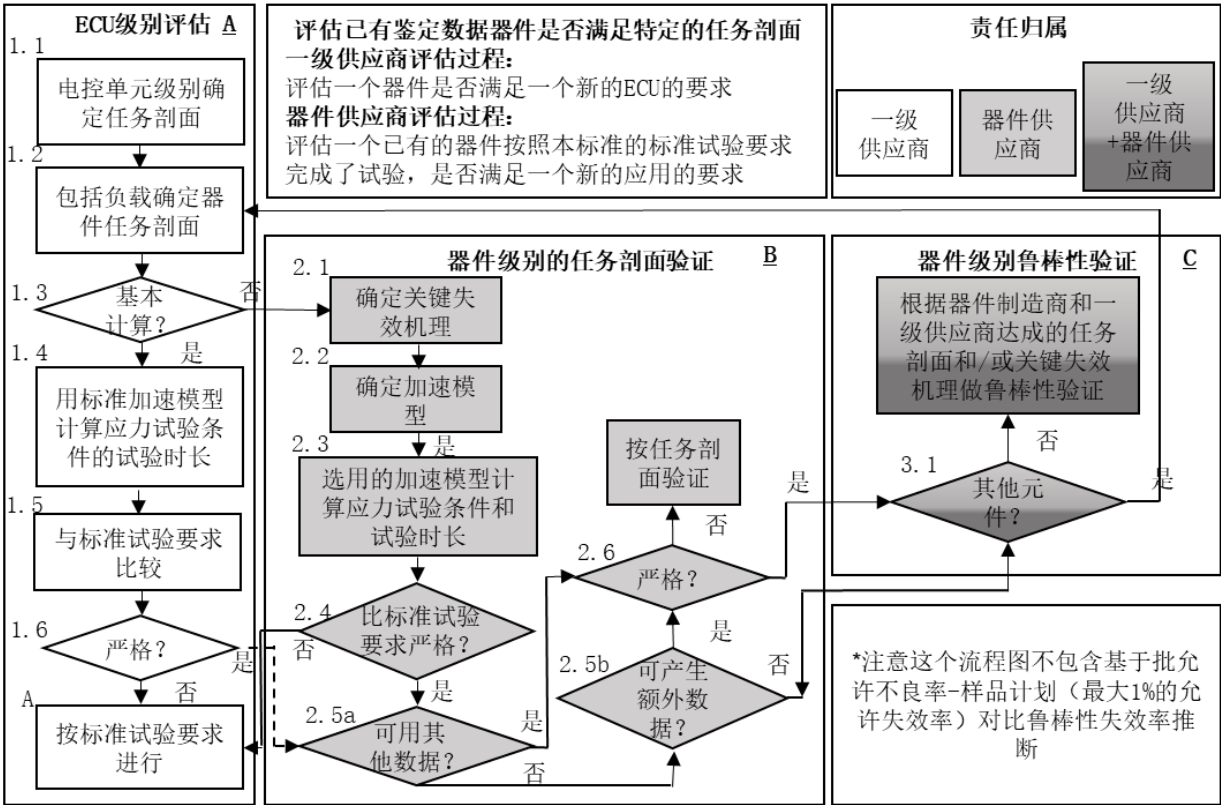


图 G. 2 流程图 2 - 现有合格器件的评估

表 G. 1 汽车用集成电路应力测试条件和持续时间的基本计算示例

负载	任务条件输入	应力测试	应力条件	加速模型 (所有温度以 K 计, 而非 °C)	模型参数	计算试验周期
热	$t_u = 1.2$ 万小时 (平均启动时间超过 15 年) $T_u = 87^\circ\text{C}$ (发动机启动模式下的平均结温)	高温工作寿命	$T_t = 125^\circ\text{C}$ (试验环境中的结温)	阿伦尼乌斯模型 $A_f = \exp\left[\frac{E_a}{k_B} \cdot \left(\frac{1}{T_u} - \frac{1}{T_t}\right)\right]$ 也适用于高温存储	$E_a = 0.7$ eV (活化能; 0.7 eV 是一个范值, 实际值取决于失效机理和 -0.2 至 1.4 eV 的范围) $k_B = 8.61733 \times 10^{-5}$ eV/K (玻尔兹曼常数)	$t_t = 1396$ 小时 (试验周期) $t_t = \frac{t_u}{A_f}$

热机械	$n_u = 54, 750 \text{ c/s}$ (15年发动机的启/停循环次数) $\Delta T_u = 76^\circ\text{C}$ (使用环境中的平均热循环温度变化)	温度循环	$\Delta T_t = 205^\circ\text{C}$ (试验环境中的热循环温度变化: -55°C ~ -150°C)	温度循环加速模型 $A_f = \left(\frac{\Delta T_t}{\Delta T_u} \right)^m$	$m = 4$ (指数: 4 用于硬金属合金裂缝, 实际值取决于失效机理和延性材料为1至脆性材料为9的范围)	$n_t = 1034 \text{ c/s}$ (试验循环数) $n_t = \frac{n_u}{A_f}$
湿度 (选择1)	$t_u = 1.314 \text{ 万小时}$ (平均启动时间超过15年) $RH_u = 74\%$ (启动模式中的平均相对湿度) $T_u = 32^\circ\text{C}$ (使用环境中的平均温度)	有偏置温湿度试验	$RH_t = 85\%$ (试验环境中的相对湿度) $T_t = 85^\circ\text{C}$ (试验环境中的环境温度)	湿度加速模型 $A_f = \left(\frac{RH_t}{RH_u} \right)^p \cdot \exp \left[\frac{E_a}{k_B} \cdot \left(\frac{1}{T_u} - \frac{1}{T_t} \right) \right]$ (参见下面的注释)	$p = 3$ (指数, 3 用于键合焊盘腐蚀) $E_a = 0.8 \text{ eV}$ (活化能: 0.8 eV) $k_B = 8.61733 \times 10^{-5} \text{ eV/K}$	$t_t = 960 \text{ 小时}$ $t_t = \frac{t_u}{A_f}$
湿度 (选择2)	$t_u = 1.314 \text{ 万小时}$ (平均启动时间超过15年) $RH_u = 74\%$ (启动模式中的平均相对湿度) $T_u = 32^\circ\text{C}$ (使用环境中的平均温度)	高加速应力试验	$RH_t = 85\%$ (试验环境中的相对湿度) $T_t = 130^\circ\text{C}$ (试验环境中的环境温度)	湿度加速模型 $A_f = \left(\frac{RH_t}{RH_u} \right)^p \cdot \exp \left[\frac{E_a}{k_B} \cdot \left(\frac{1}{T_u} - \frac{1}{T_t} \right) \right]$ (参见下面的注释)	$p = 3$ (指数, 3 用于键合焊盘腐蚀) $E_a = 0.8 \text{ eV}$ (活化能: 0.8 eV) $k_B = 8.61733 \times 10^{-5} \text{ eV/K}$	$t_t = 53 \text{ 小时}$ $t_t = \frac{t_u}{A_f}$

					eV/K	
注：•高压釜是一个能够强烈加速测试，使用一个在正常使用条件中不会遇见的饱和的潮湿条件。由于这样，高压釜的测试条件不是能通过模型和假设获得的。当前的测试条件是几十年前选择的，并且自那以后作为鉴定的标准一部分 •大部分压力锅测试是在铝压力锅里做的。气洗是在100度的沸水，并且水蒸气从排气孔排出。房间的墙不是完全隔热的。房间墙温度的控制；伴随温升气洗的过程；温度和压力降低和总体的温度和气压非常关键。另外，当测试结束，加热器关闭，排气孔打开。将花费3分钟打开锅。锅内温度降到100度之前排气需要多加关注，可以引起压力差并且引起任何大于100度的，和水残留在器件空的部分，产生分层。						

附录 H
(资料性附录)
非易失性存储器耐久性、数据保持和工作寿命试验要求

H.1 依据以下标准判断一个集成电路是否需要非易失性存储器试验

适用于具备独立的非易失性存储器（如电可擦编程只读存储器）或内嵌非易失性存储器（如为控制单元中）的集成电路。

H.2 试验分组及试验要求

试验分为高温组和低温组。所有子项目在测试前和测试后需在室温、高温条件下进行电性测试。

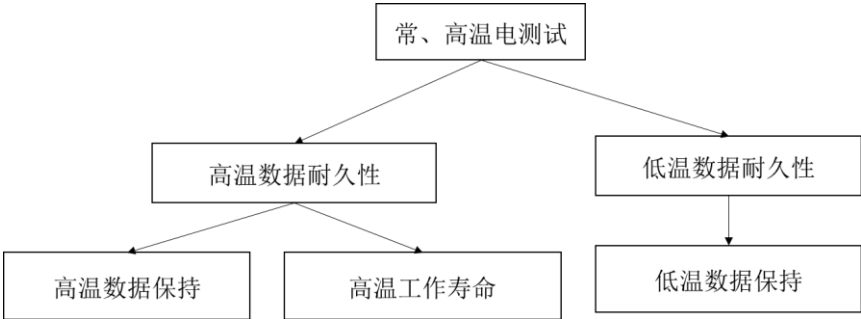


图 H.1 非易失性存储器试验流程

表 H.2 非易失性存储器试验项目及试验方法

试验分组	试验名称	试验方法	样品数/批	批数
低温组	低温数据耐久性	室温环境下对非易失性存储器循环擦/写/读片上非易失性存储器，选择擦写循环数据图形（如，棋盘格、全0或全1等），擦写次数参考芯片数据手册中声明的非易失性存储器耐久度寿命，每次擦、写动作要在指定时间内完成。	77	1
	低温数据保持	在室温环境下对非易失性存储器写入数据图形（如，棋盘格、全0或全1等），室温环境下贮存，1000h后确认数据无丢失。	取低温数据耐久性后样品	
高温组	高温数据耐久性	最高环境工作温度下进行高温耐久性测试，循环擦/写/读片上非易失性存储器，擦选择擦写循环数据图形（如，棋盘格、全0或全1等），擦写次数参考芯片数据手册中声明的非易失性存储器耐久度寿命，每次擦、写动作要在指定时间内完成。	77	3
			45	1
	高温工作寿命	对片上非易失性存储器写入数据图形（如，棋盘格、全0或全1等），在最高环境工作温度下对非易失性存储器持续读1000h，确认数据无丢失	取高温数据耐久性后样品	
	高温数据保持	对片上非易失性存储器写入数据图形（如，棋盘格、全0或全1等），在最高贮存温度下烘烤，1000h后确认数据无丢失	取高温数据耐久性后样品	

附 录 I
(资料性附录)
电气分布测试要求

I.1 目的

电气分布是在用来供电电压、频率和温度极限等条件下，评估对关键参数（如AC、DC和时间参数）的影响，测试结果也可以用来确定测试合格上下限。

I.2 关键参数的选取

测试的参数如果变化，将芯片的出厂质量和可靠性有影响，或影响器件的正常工作，则这个参数可选为关键参数。供应商应根据技术、工艺、设计和用户的应用相关的信息来确定关键参数，或与用户商量。

I.3 测试结果

在不同温度（最高环境工作温度、室温和最低环境工作温度）、频率和供电电压组合下的测试数据，应包含参数结果、单位、平均值、标准差、测试结果最小值和最大值、规格最小值和最大值、 C_{PK} （参数测试结果如适用， $C_{PK} > 1.67$ ）。

附录 J

(资料性附录)

故障等级要求

J.1 目的

本要求定义了确定故障等级，适用于所有数字电路，参数失效不再此范畴。故障等级另一个叫法为故障模拟。覆盖了建模和逻辑模拟要求，假设失效模型和故障模拟要求，按评估和报告测试覆盖率的步骤要求进行。

J.2 步骤

一般步骤为先确定要使用的器件模拟模型，后进行故障模拟，检测到故障后记录故障清单。对故障模拟和测试机测试结果差异描述。具体步骤见图 J. 1。

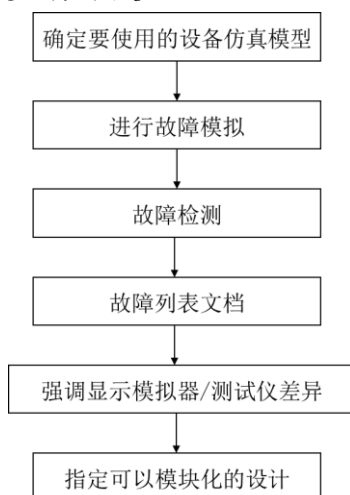


图 J. 1 故障等级步骤

附 录 K
(资料性附录)
特性描述要求

K.1 目的

在开发新集成电路或修改现有集成电路时，应按照特性描述的要求，强调在开发过程中应该评估的重要事项来提供指导。应采用鉴定过程，以确保所用的设计和晶圆制造/封装过程具有足够的能力提供满足用户要求的集成电路产品。

K.2 步骤

每个芯片供应商应有内部特性描述程序，制定特性描述计划、执行和完成报告的流程见图 K2. 1。

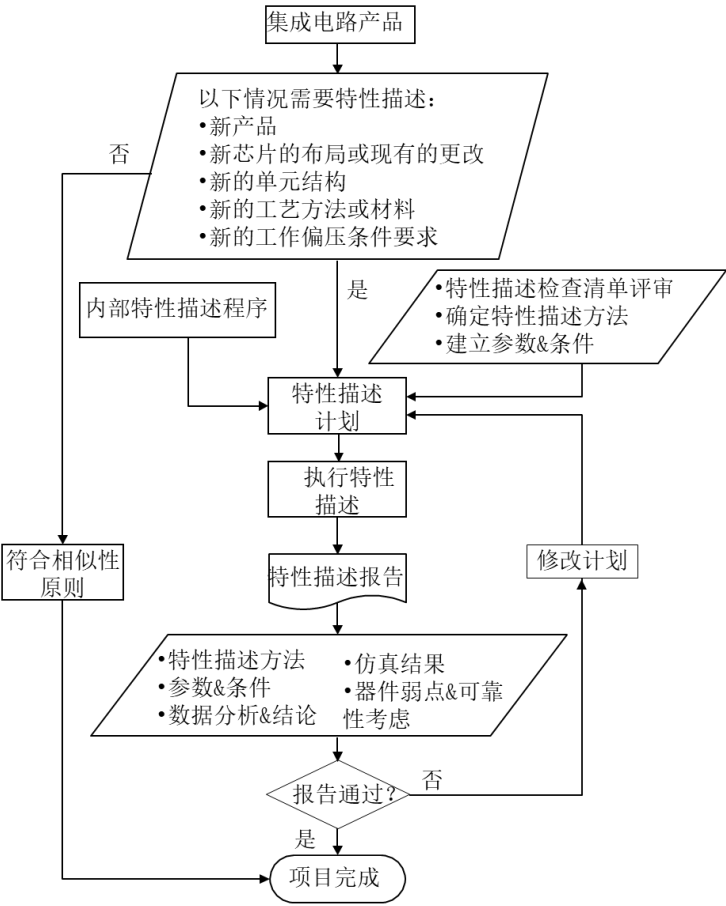


图 K. 1 特性描述流程图

附 录 L
(资料性附录)
无铅试验要求

L.1 目的

适用于引线框架封装的引脚镀层具有锡元素的集成电路产品，由于锡须导致缩小引线之间的间隙，甚至导致电气短路。同时考察产品的可焊性、耐焊接热和潮湿敏感度等级几方面满足车用要求。

L.2 项目

可焊性、耐焊接热和封装湿度敏感等级试验分项样品数量分别5颗，锡须试验中温度循环试验需要在第500循环、1000循环和1500循环后进行外观检查，温湿度贮存试验需要在第1000小时、2000小时、3000小时和4000小时后进行外观检查，高温湿度贮存试验需要在第1000小时、2000小时、3000小时和4000小时后进行外观检查。

表 L.1 无铅试验项目及试验方法

试验名称	试验分项	试验方法	样品数量
无铅	可焊性	GB/T 4937.21 可焊性	5
	耐焊接热	GB/T 4937.15 半导体器件 机械和气候试验方法 通孔安装器件的耐焊接热	5
		GB/T 4937.20 塑封表面安装器件耐潮湿和焊接热综合影响	
	封装湿度敏感等级	GB/T 4937.20 塑封表面安装器件耐潮湿和焊接热综合影响	5
		GB/T 4937.30 非密封表面安装器件在可靠性试验前的预处理	
	锡须	试验方法采用GB/T 4937.25 温度循环：-55℃~85℃，1500次循环	5
		试验方法采用 GB/T 4937.42 温度和湿度贮存：30℃/60%RH，4000小时	5
		试验方法采用 GB/T 4937.42 温度和湿度贮存：55℃/85%RH，4000小时	5
		外观检查：锡须试验后外观检查有无锡须生长、并记录最长度和密度	5

附 录 M
(资料性附录)
短路特性试验要求

M.1 目的

适用于智能电源开关在连续短路工况下的可靠性。智能电源开关是汽车系统中广泛应用的短路保护装置，对外部负载供电，当负载短路发生，能够提供保护功能，防止系统故障。

M.2 试验分组及试验方法

短路测试波形和次数由供应商和用户商议决定。

表 M.1 短路特性试验分组及试验方法

试验名称	试验方法	样品数/批	批数
冷重复短路测试 (短脉冲)	模拟一种情况，有一个微控制器监控智能电源开关，可以对短路作出反应，并在不到10毫秒关闭设备。	10	3
冷重复短路测试 (长脉冲)	模拟有微控制器的情况监测智能电源开关，它可以对短路作出反应并关闭设备，然而采样周期大于10毫秒或未知。在这种情况下，微控制器的响应时间被假定为300毫秒	10	3
热重复短路测试	模拟了没有微控制器监控智能电源开关的情况，因此HSS无限期地保持在短路状态	10	3

M.3 合格判定

当有以下情况发生时，应当终止试验：

- 50%的器件出现失效，也就是超过 15 个器件失效
- 如果失效数没到 50%，至少 100 小时或 10 万次开关循环也可作为停止条件。如果失效数没到 50%，那么正常的器件应该做电测试，确保在数据手册的合格范围内。

当有以下情况发生时，判定为失效：

- 器件无法关闭（电短路）
- 器件无法打开（开路）
- 退化后电参数测试结果不在合格范围之内

附 录 N
(资料性附录)
参数分布测试指南

N.1 目的

本指南介绍了一种基于统计学的方法，称为参数分布测试，用于从供应的器件中剔除异常特性器件（异常值）。每个器件设计及其相关工艺将显示每个测试要求的测试结果的独特分布，该数据是建立参数分布测试限值的基础。测试限值可以按照静态或动态的方式设置。静态限值是建立在一定量可用的测试数据的基础上，并且在一段时间内不需要修改。基于静态测试限值来设定动态测试限值，是对于每一批(或一批中的晶片)进行设定，并且随着其测试而不断地修改。

N.2 静态参数分布测试

从已经通过了器件规范定义的规格限值的至少6个批次收集测试数据。通过随机选择每批次至少30个器件的测试数据来确定每组测试的鲁棒平均值和标准差。如果测试数据是晶圆级数据，要从至少5个位于晶片不同区域的晶粒(至少30个晶粒/批次)选取数据。在生产的早期，还无法提供来自6个批次的数

据时，可以使用来自特性批的数据。一旦有生产批数据，该数据应立即更新。

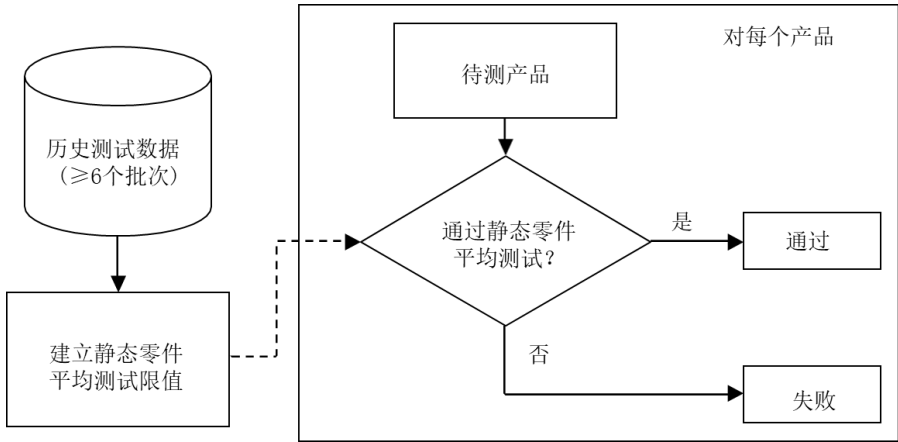


图 N.1 静态参数分布测试流程

N.3 动态参数分布测试

动态参数分布测试限值优于静态参数分布测试限值，因为参考数量与正在测试的部分相同。动态参数分布测试可以提供更严格的限值，而不会引起正常器件的误剔除，因为它不需要考虑作为静态参数分布测试限值的批次与批次的区别变化。动态与静态参数分布测试限值确定的方式相同，但设定限值是使用已经通过的测试器件的当前批次(或晶片)的数据建立的。为了使用这种方法，在对器件的批次(或晶片)进行测试后，它们必须允许使用新定义

的动态参数分布测试限值。这些限值是通过

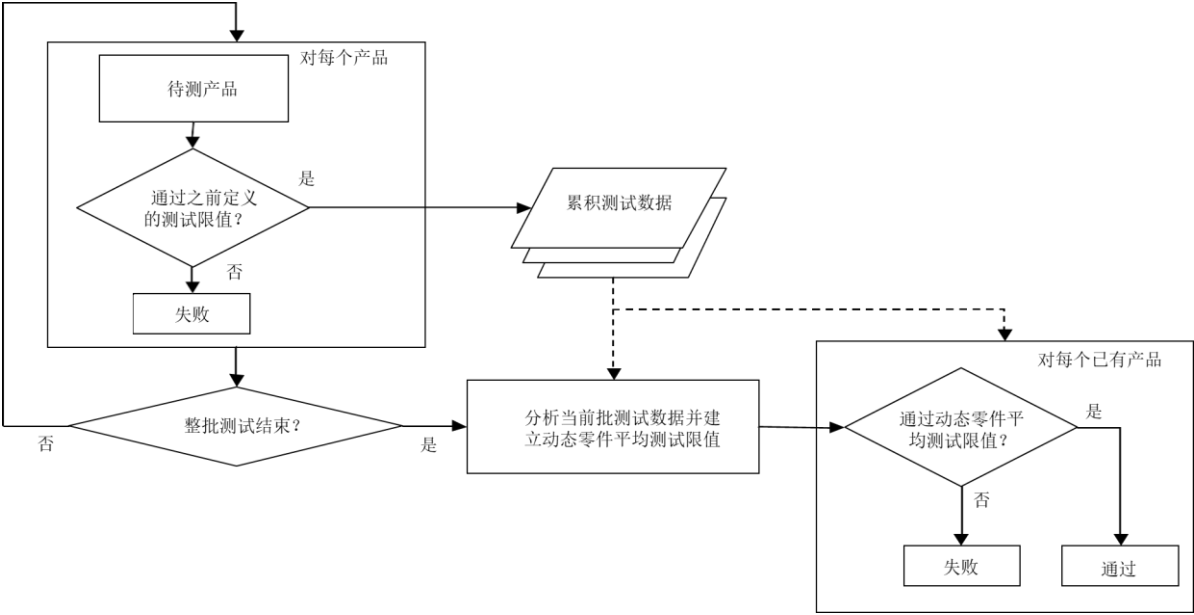


图 N. 2 动态参数分布测试流程

附 录 0
(资料性附录)
良率统计分析指南

0.1 目的

本指南旨在提供一种检测并剔除异常批次材料的方法。该方法利用基于统计良率限值和统计分类限值计算的统计技术,来识别显示出晶片、晶圆批次或封装批次测试出现的异常低的良率或异常高的失效归类。经验表明,晶片和封装批次显示出这些异常特性往往质量较差并可能导致系统的可靠性和质量问题。

0.2 良率统计分析方法

在量产的早期阶段,当还无法提供来自6个批次的数据时,可以使用来自特性批的数据(特性批类似于现有产品和设计仿真)来设定初始限值。当现有的量产数据可用时,初始限值应立即更新。审查和更新应在当前量产的头6个月用最近的量产数据定期进行。这个初始的更新操作应该基于产品量产提升率的实际来定,例如每2个扩散批次后或每生产30天后进行。

最新数据应该包括上次更新后可用的数据,或者至少是最近8批次的数据,不能使用旧数据。在第一个6个月的量产后,限值应至少每年更新两次,或根据供应商和用户/客户之间的协议进行更新。该数据决定了统计良率限值和统计分类限值(对于晶片、晶圆批次和封装批次为基础)如下:

统计良率下限1	=平均值-3×标准差
统计分类上限1	=平均值+3×标准差
统计良率下限2	=平均值-4×标准差
统计分类上限2	=平均值+4×标准差

如果每个晶片上好的晶粒或失效晶粒归类/晶片测试结果的统计分布不符合正态分布,供应商应使用替代方法。低于最小良率限值或具有高可靠性风险的材料应报废。对于大部分的测试结果偏移,供应商应确定其根本原因、纠正措施和未来的预防措施。对于任何超出规定限值的,供应商和用户/客户之间应签署协议,将被给予声明。

附 录 P
(资料性附录)
铜线互联封装鉴定要求

P.1 目的

传统键合工艺仍以金线为主，但已出现铜线键合工艺的替代趋势。本附录规定了汽车应用中，采用铜线互联封装鉴定要求，包括对部分试验项目条件的改变和试验时长的延长。详见图P.1和表P.1

P.2 铜线互联封装鉴定要求

汽车用集成电路铜线互联封装鉴定涉及到温度循环、稳态温湿度偏置寿命或强加速稳态湿热、功率温度循环和高温贮存寿命试验，样品数量详见下表：

表 P 1 铜线互联封装鉴定试验项目及样品数量要求

序号	项目名称	温度循环 (批数*样品数/批)	稳态温湿度偏置寿命或强 加速稳态湿热 (批数*样品 数/批)	功率温度循环 (批数*样品数 /批)	高温贮存寿命 (批数*样品数 /批)
1	初始样品准备	按项目样品数量要求			
2	预处理前超声扫描	按项目样品数量要求			
3	预处理	3*77	3*77	1*45	——
4	预处理前超声扫描	3*22 或 3*11	3*22 或 3*11	1*22	——
5	电参数测试	3*77	3*77	1*45	3*45
6	应力可靠性试验 1X	3*77	3*77	1*45	3*45
7	电参数测试	3*77	3*77	1*45	3*45
8	对预处理超声扫描的样 品再次超声扫描	3*22	3*22	——	——
9a	第一点/第二点键合线 拉力	3*3	3*3	——	——
9b	第一点剪切	3*3	3*3	——	——
10	截面切片观察	3*1	3*1	——	3*1
11	应力可靠性试验 2X	3*70	3*70	1*45	3*44
12	电参数测试	3*70	3*70	1*45	3*44
13	对预处理超声扫描的样 品再次超声扫描	3*22 或 3*11	3*22 或 3*11	——	——
14a	第一点/第二点键合线 拉力	3*2	3*2	——	——
14b	第一点剪切	3*2	3*2	——	——
15	截面切片观察	3*1	3*1	——	3*1

按以下流程进行铜线互联封装鉴定：

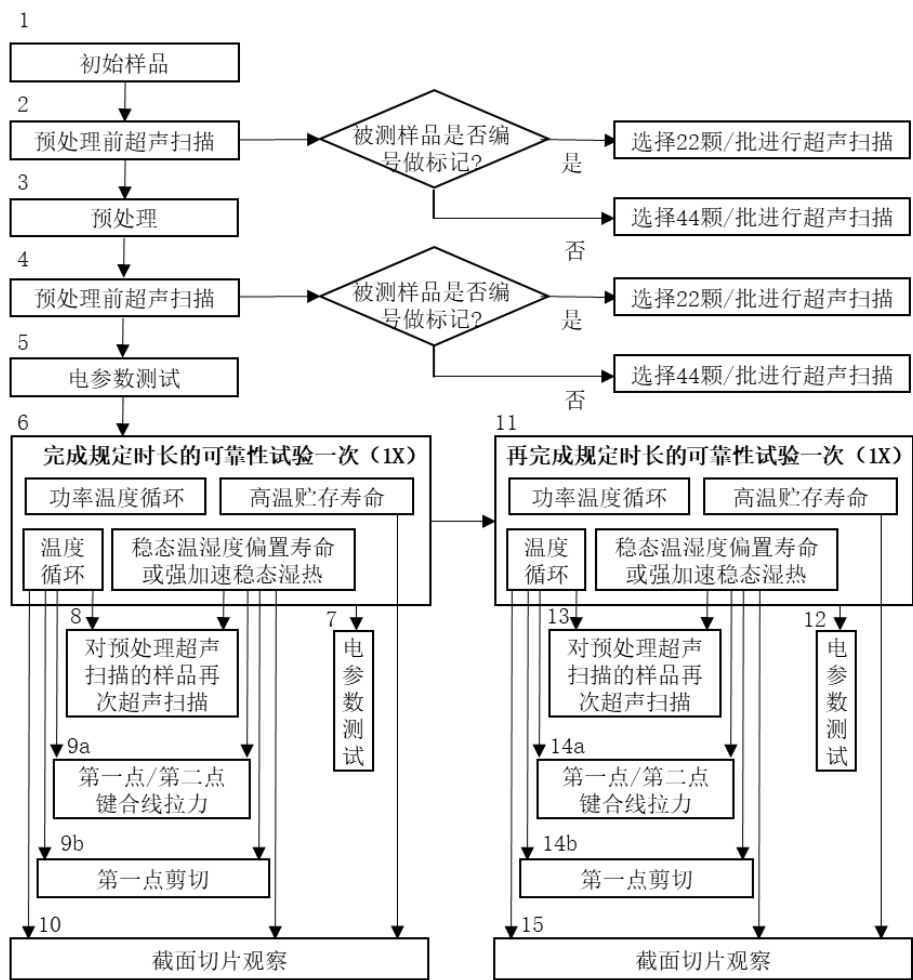


图 P. 1 铜线互联封装鉴定流程

参 考 文 献

[1]AEC-Q100 - REV-H Failure Mechanism Based Stress Test Qualification for Integrated Circuits

[2]
